

28 nm Polarfire FPGA 单粒子瞬态 脉冲宽度检测技术研究

杨华锦¹, 陈伟², 郭晓强², 汤晓斌^{1†}, 陈飞达¹, 张凤祁², 王坦²

(1. 南京航空航天大学材料科学与技术学院, 南京 211106;
2. 强脉冲辐射环境模拟与效应全国重点实验室, 西安 710024)

摘要: 本文依据 28 nm Polarfire FPGA 内部资源布局特点对两种 SET 脉冲宽度检测电路进行结构设计。以故障注入方式, 从时间分辨率、检测精度、宽度测量阈值、死时间以及资源占用这 5 个 TDC 电路功能指标出发, 研究两种 SET 脉冲宽度检测电路的差异, 并分析影响 SET 脉冲宽度检测电路的因素。结果表明: 在 Polarfire FPGA 中, 当两种检测电路的理论 SET 脉冲宽度检测范围相同时(86~1 000 ps), 可变延时脉冲宽度检测电路的资源占用相对较小, 但检测精度比抽头延时脉冲宽度检测电路低约 43 ps, 检测阈值高约 200 ps, 且存在有 1.4 ns 的死时间。综合对比结果, 在 Polarfire FPGA 中检测宽脉冲(>344 ps)选用抽头延时脉冲宽度检测电路, 而窄脉冲选用可变延时脉冲宽度检测电路进行检测。

关键词: 单粒子瞬态效应; 单粒子瞬态脉冲宽度; 现场可编程门阵列; 抽头延时脉冲宽度检测电路; 可变延时脉冲宽度检测电路

中图分类号: TL71; TL81 **文献标志码:** A **DOI:** 10.12061/j.issn.2095-6223.2023.040601

Single Event Transient Pulse-Width Measurements in 28 nm Polarfire FPGA

YANG Huajin¹, CHEN Wei², GUO Xiaoqiang², TANG Xiaobin¹,
CHEN Feida¹, ZHANG Fengqi², WANG Tan²

(1. College of Materials Science and Technology, Nanjing University of Aeronautics and Astronaut,
Nanjing 211106, China; 2. National Key Laboratory of Intense Pulsed Radiation Simulation and
Effects, Xi'an 710024, China)

Abstract: SET pulse-width, as an important parameter of single event transient effect (SET), is closely related to SET's ability to cause digital circuit faults. Based on the internal layout characteristics of the 28 nm Polarfire FPGA, two types of SET pulse-width measurement circuits are designed. By using fault injection method, the time resolution, detection accuracy, width measurement threshold, dead time and the resource occupation of five time to digital converter(TDC) of circuit functional indicators are compared between the variable temporal pulse-width detection circuit and the tap delay pulse-width detection circuit. The results show that in Polarfire FPGA, when the theoretical SET pulse-width detection range from 86 ps to 1000 ps of the two detection circuits, the resource occupation

收稿日期: 2023-04-08; 修回日期: 2023-07-08

基金项目: 国家自然科学基金资助项目(11690043)

†通信作者: 汤晓斌(1978—), 男, 江苏常州人, 教授, 博士, 主要从事核技术及应用研究。

E-mail: 1090528453@qq.com

of the variable temporal pulse-width detection circuit is relatively small, but its detection accuracy is about 43 ps lower than that of the tap delay pulse-width detection circuit, the detection threshold is about 200 ps higher than that of the tap delay pulse-width detection circuit, and there is a dead time of 1.4 ns. The comparison results indicate that when the pulse widths > 344 ps in Polarfire FPGA, a tap delay pulse-width detection circuit is selected, while a variable temporal pulse-width detection circuit is used for detecting narrow pulses.

Keywords: single event transient; single event transient pulse width; FPGA; tap delay pulse-width detection circuit; variable delay pulse-width detection circuit

当空间环境中的高能辐射粒子(质子、 α 粒子、重离子等)入射集成电路后,可能诱发单粒子效应(single event effect, SEE)导致电路功能发生错误^[1],影响集成电路系统的工作稳定性。

早期 SEE 关注最多的是单粒子翻转(single event upset, SEU)效应,近年来随着芯片工艺制程和集成电路工作频率的大幅提升,单粒子瞬态(single event transient, SET)效应导致的软错误在引发错误总数的占比逐渐上升^[2-3]。有研究表明,当芯片的特征工艺处于 28 nm 时,SET 导致的软错误将有可能占据主导地位^[4]。因此有效捕获 SET 效应并明确其特征参数对分析 SET 传播规律等有着重要意义。

最初检测 SET 效应是通过在片外搭建测试系统,利用高精度示波器直接测量 SET 脉冲^[5-6]。用这种方法可以得到 SET 脉冲波形等基本参数,但是 SET 脉冲在路径传输中易发生失真^[7];为此提出在片内设计检测系统对 SET 效应进行分析研究,而 SET 脉冲宽度作为 SET 的重要参数^[8-9],与 SET 在电路中向下传播被时序电路捕获造成电路故障密切相关^[10-12]。故可利用时间-数字转换电路(time to digital converter, TDC)进行 SET 脉冲宽度的分析,包含可变延时脉冲宽度检测电路^[13-17]和抽头延时脉冲宽度检测电路^[18-19]。TDC 电路可利用 FPGA 的可重复编程特性,在 FPGA 内部进行生成、调试及功能验证。

伴随着 FPGA 在空间中的广泛应用,获取 FPGA 中的 SET 脉冲宽度及其分布变得越来越重要。28 nm Polarfire FPGA 是 Microsemi 第五代非易失性 FPGA^[20]。相比 SRAM 型 FPGA, Polarfire FPGA 对 SEU 具有一定的免疫能力^[21]。不同 FPGA 内部的布局设计存在很大的差异,同时 FPGA 内部的布线资源调用也有所不同。若忽略 TDC 电

路布局设计而额外引入的布线资源延时,会对 TDC 电路的检测精度、检测阈值和分辨率等指标产生很大的影响。

本文依据 Polarfire FPGA 内部资源布局特点对上述两种 SET 脉冲宽度检测电路进行结构设计。以故障注入的方式,从时间分辨率、检测精度、宽度测量阈值、死时间^[22]以及资源占用这 5 个 TDC 电路功能指标出发,研究两种 SET 脉冲宽度检测电路的差异,并分析影响 SET 脉冲宽度检测电路的因素,最终明确两种 SET 脉冲宽度检测电路在 Polarfire FPGA 中的适用条件。

1 电路设计

1.1 可变延时脉冲宽度检测电路设计

可变延时脉冲宽度检测电路如图 1 所示,包括 3 个基本组件:(1)延时模块 t_{delay} ,用来控制保护门两个输入端口之间的延时差;(2)保护门(guard gate, GG)^[14],有两个输入、一个输出,当两个输入值同时为 1(0)时,输出为 1(0),两个输入不同时,输出保持上一时刻的状态不变;(3)异步锁存器,捕获并输出保护门状态,利用异步复位信号对锁存器进行清零。

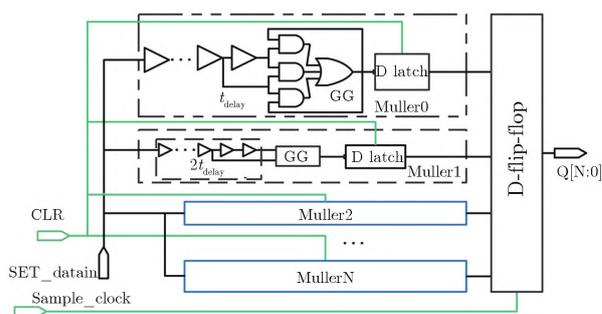


图 1 可变延时脉冲宽度检测电路

Fig. 1 Variable temporal pulse-width detection circuit

当某一个 SET 脉冲输入电路时, SET 信号遍历所有的检测模块。在可变延时脉冲宽度检测电路输出时:若 SET 脉冲宽度小于 $(N+1) \cdot t_{\text{delay}}$ (N 为触发器状态改变个数, t_{delay} 为单元延时), 脉冲信号不能通过保护门, 锁存器输出为低电平; 当 SET 脉冲宽度大于 $N \cdot t_{\text{delay}}$, 锁存器输出状态发生改变, 判定该 SET 脉冲宽度 W_{pulse} 大于 $N \cdot t_{\text{delay}}$, 则有

$$t_{\text{delay}} \cdot N \leq W_{\text{pulse}} \leq t_{\text{delay}} \cdot (N + 1) \quad (1)$$

可变延时脉冲宽度检测电路的检测精度即为 t_{delay} 。在实际的电路布局设计中, 因 SET 脉冲输入的两条路径上都同时包含有布线延时, FPGA 内部布局特点对可变延时脉冲宽度检测电路的影响不大。

为实现可变延时脉冲宽度检测电路的连续检测, 采用 CLR 时钟信号进行控制, 同时为避免检测电路出现大的误差, 对可变延时脉冲宽度检测电路的复位时钟信号和采样时钟信号的频率以及占空比进行设计: (1) 采样时钟 f_s , 保证采样时对锁存器捕获输出的输出信号完成至少一次采样; (2) 复位时钟 f_{CLR} , 包含工作时间 T_0 和复位时间 T_1 。

因可变延时脉冲宽度检测电路的工作状态受复位时钟调节, 设复位时钟为自变量, 采样时钟和复位时钟在设计时存在关联。

SET 最大脉冲宽度 W_{max} 与电路对 SET 的容忍阈值相关, 在设计可变延时脉冲宽度检测电路复位时钟信号时需保证电路能检测到 W_{max} 。同时基于对 SET 脉冲宽度的连续检测, 设电路在 1 s 内完成 M 次检测任务, 此时复位时钟周期应满足:

$$W_{\text{max}} < T_0 < T_{\text{CLR}} < \frac{1}{M} \quad (2)$$

M 与实际的采样时钟 f_s 相关。

电路仅需要一个很短的时间即可完成复位, 故在复位时钟之内还需要调节时钟占空比 λ 。根据 Polarfire FPGA 数据手册可知, 时钟的建立保持时间最大为 500 ps, 故 T_1 应大于 500 ps。

图 2 为可变延时脉冲宽度检测电路复位时钟设计时序图。由图 2 可见, pulse1, pulse2 正处于复位电路高低电平转折位置, pulse4 处于复位时间内。此时的 SET 脉冲因为清零信号的出现, 而不被检测电路所捕获分析。为避免 SET 因电路设计出现统计偏差, 此时对该时间段内可能出现的 SET 脉冲数 η 进行统计, 表示为

$$\eta = M \cdot \frac{2}{(|\lambda - 1|)} \quad (3)$$

而理想采样时钟 f_s 为匹配复位时钟, 其占空比与复位时钟相同。但是其相位要相对于复位时钟滞后。

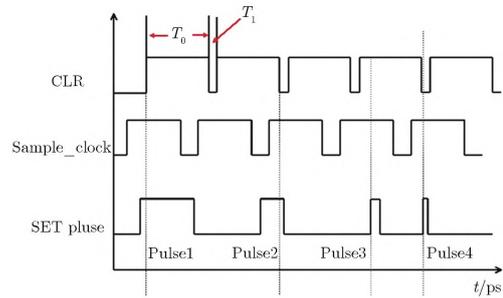


图 2 可变延时脉冲宽度检测电路复位时钟设计时序图
Fig. 2 Timing diagram of the reset clock design of the variable temporal pulse-width detection circuit

1.2 抽头延时脉冲宽度检测电路设计

抽头延时脉冲宽度检测电路^[23]内部结构为由级联的延时单元和触发器。电路将每一个延时单元的状态通过抽头的方式引出, 利用延时单元来量化 SET 脉冲宽度, 其结构与时序如图 3 所示。

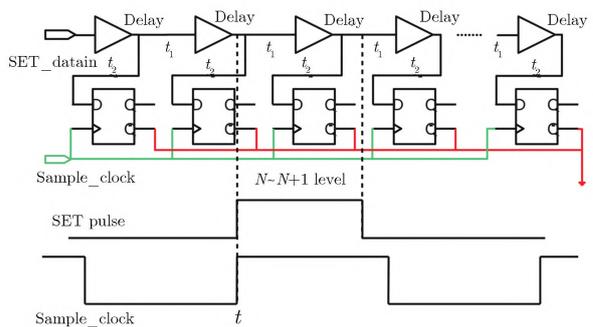


图 3 抽头延时脉冲宽度检测电路的结构与时序
Fig. 3 Structure and timing of tap delay pulse-width detection circuit

电路原理以检测正脉冲为例, 所有触发器初始输出状态为低电平, SET 信号由 datain 进入抽头电路, 在延时单元链内进行传输, 当采样时钟 Sample_clock 的上升沿到来时刻 t , 每个 D 触发器都会捕获与之相连的延时单元状态, 通过计算 SET 在 t 时刻经过的延时单元个数, 即可确定此时 SET 在电路中的位置及其脉冲宽度。

单个 SET 脉冲宽度 W_{pulse} 可表示为

$$W_{\text{pulse}} = N \cdot t_{\text{delay}} (\pm 0.5 t_{\text{delay}}) \quad (4)$$

在抽头延时脉冲宽度检测电路中, 实际的分辨率为 $t_1 + t_2 + t_{\text{delay}}(t_1)$ 为相邻延时单元延时; t_2 为延时单元与触发器之间的布线延时。

因在电路中抽头延时脉冲宽度检测电路中每一级延时单元与延时单元、延时单元与触发器相互之间的布线延时保持一致,近似认为一个延时单元的延时就是三个延时的总和 t_{delay} 。抽头延时脉冲宽度检测电路的检测精度由电路所选用的单级延时单元延时所决定,为 $\pm 50\% t_{delay}$ 。延时单元的单级延时的大小和采样时钟的频率共同决定了抽头延时脉冲宽度检测电路的级数。

在进行连续 SET 脉冲宽度检测时,为避免 SET 脉冲发生遗漏或误测,在确定电路级数 n 时要满足式(3),保证 SET 脉冲在电路中的总延时大于系统采样频率, n 可表示为

$$n > \frac{T_{Sample_clock} - W_{pulse}}{t_{delay}} \quad (5)$$

组成 TDC 电路时,需保证相邻延时单元的逻辑状态能进行有效传输。但在 Polarfire FPGA 中,可编程逻辑资源并不总是满足抽头延时脉冲宽度检测电路中相邻延时单元的布线延时一致的条件,图 4 为 Polarfire FPGA 中 LC 布局特点。Polarfire FPGA 内部布局设计中,由 12 个可编程逻辑资源组成的 logic_cluster(LC),其布线延时可保持一致,在相邻的两个 LC 之间存在两个额外的短布线延时。

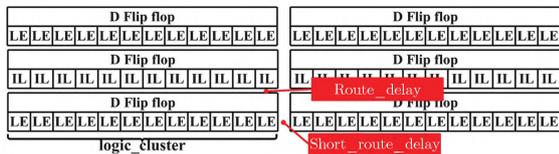


图 4 Polarfire FPGA 中 LC 布局特点
Fig. 4 LC layout features in Polarfire FPGA

TDC 电路在 Polarfire FPGA 中进行布局设计时,会因为 short_route_delay 的存在导致 $\Delta delay$ 出现不均匀的情况。以图 3 中抽头延时脉冲宽度检测电路为例,其单级延时基本组成 t_1, t_2, t_{delay} 一般保持一致,但是在横向相邻 LC 交界处进行布局布线时,抽头延时脉冲宽度检测电路中的 t_1 会因布线延时的加入出现变大的情况,影响 TDC 电路整体的分辨率与检测精度。因而需要对实际的测试电路进行结构上的调整,以满足 TDC 电路对 SET 脉冲宽度的检测需求。

设计了一种抽头延时脉冲宽度检测电路的新型电路结构,如图 5 所示。利用 FPGA 内部丰富的逻辑资源,以一条 SET 信号传输链和多组 SET 脉冲信号检测组合的方式,实现对 PolarfireFPGA 布局设计的适应调整。将图 4 中一个 LC 作为一个子电

路(12 级)容器。子电路内部延时单元与触发器相互之间可以忽略布局布线带来的延时差异。构建 N 组串行抽头延时子电路作为整个检测电路的检测模块,子电路内部级数可以根据电路需求进行调整。同时为避免芯片自身因素导致延时单元出现延时不均的情况,将每个子电路的延时模块配置为环形电路在实际使用前进行校准。此时,一个子电路容器中包含有 11 级检测模块和一个 2 输入数据选择器,多组子电路通过 SET 脉冲光信号传输模块抽头消除了 LC 之间的布线延时。

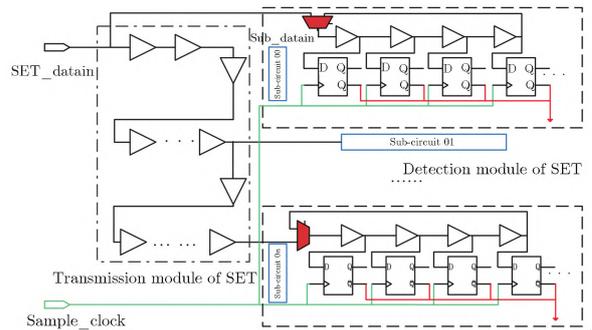


图 5 抽头延时脉冲宽度检测电路设计
Fig. 5 Design of tap delay pulse-width detection circuit

SET 脉冲信号传输设计:用一条长逻辑链进行 SET 脉冲信号传输,此逻辑链中的信号传输单元须保证其不会对 SET 脉冲宽度产生较大的影响,且不会屏蔽 SET 脉冲信号。利用 identify 工具对结构调整后的 TDC 电路进行分析,在特定 SET 检测位置进行抽头,将 SET 脉冲信号注入到每一个子电路中,且每一个子电路中的前后时间衔接完整。

2 检测电路功能影响因素分析

2.1 SET 脉冲宽度检测电路单级延时

在 Polarfire FPGA 中的逻辑资源有两种结构 logic_element(LE)和 interface_logic(IL):LE 内部查找表为 4LUT with carry chain,其可以实现任意四输入逻辑运算或算法功能;IL 内部为常规 4LUT,用以链接特殊 IP 核与用户逻辑。因二者功能上的差异性,对同一逻辑功能会表达出不同的延时状态,进而影响 TDC 电路的功能。

为研究 Polarfire FPGA 中逻辑单元基本延时时对 TDC 电路精度和分辨率的影响,利用周期性脉冲输入数据量大的特点,验证不同查找表结构、不同逻辑状态下的逻辑延时。SET 脉冲宽度检测电路选用易于集成的抽头延时脉冲宽度检测电路对查找

表基本延迟进行分析。

基于 FPGA 内部内置晶振提供时钟,利用组合逻辑模块实现信号延时,获得两个在路径上具有延时差异的脉冲信号输出,并进行逻辑运算,得到预期的周期性脉冲,脉冲生成原理与检测结果。图 6 为周期性脉冲信号生成电路及电路时序图。

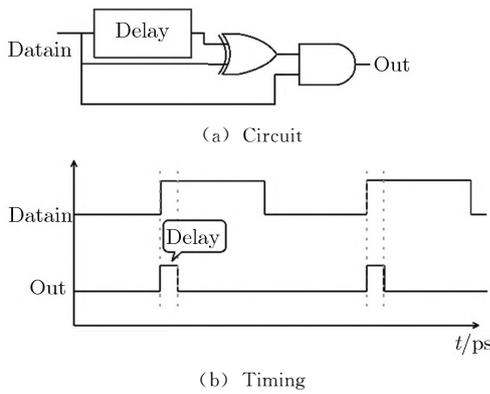


图 6 周期性脉冲信号生成电路及电路时序图
Fig. 6 Periodic pulse signal generation circuit and circuit timing diagram

通过在抽头延时脉冲宽度检测电路中换用不同的逻辑门(与门和或门等)来分析逻辑基本延时。结果表明,不同查找表单级延时并不会随着逻辑门的变化发生改变。其最终结果如表 1 所列,4LUT with carry chain 的基本延时要小于 4LUT。

表 1 不同查找表结构之间的延时信息
Tab. 1 Latency information between different lookup table structures

Module	$t_{\text{delay}}/\text{ps}$
4LUT with carry chain	86 ($\pm 10\%$)
4LUT	95 ($\pm 10\%$)

综合表 1 结果,选取单级延时较小的 4LUT with carry chain 作为检测电路的延时模块。通过表 1 中的延时信息,为保证两种 SET 脉冲宽度检测电路技术指标对比的有效性,定义两个 SET 脉冲宽度检测电路的理论 SET 脉冲宽度检测范围为 86~1 032 ps。

若采样时钟选择 125 MHz,则抽头延时脉冲宽度检测电路的延时级数设置在 115 级,可变延时检测电路检测级数设置为 12 级,依据电路复位信号设计,复位时钟采用 100 MHz。

2.2 组合逻辑 SET 展宽因子

SET 脉冲产生并向上传播时,会出现脉冲展宽效应(propagation induced pulse broadening,

PIPB),这会直接影响到抽头延时脉冲宽度检测电路的检测结果。不同的 LUT 结构,其 SET 脉冲展宽效应^[24]的表现也有所不同。为降低 SET 脉冲宽度测试的不确定度,开展组合逻辑的单元脉冲宽度展宽因子测试工作^[25-26],验证 LE 和 IL 各自的 SET 展宽因子。

SET 脉冲产生是连续随机离散事件,周期性脉冲无法代表 SET 脉冲事件进行分析,在验证 SET 展宽因子时需用单脉冲故障注入的方式来进行,其脉冲生成电路可参考图 6(a)。

在 SET 脉冲宽度检测电路选用抽头延时脉冲宽度检测电路进行 SET 展宽因子分析。28 nm 的芯片在辐射环境下产生的 SET 脉冲宽度约为百皮秒量级^[27-29],故在注入脉冲时,每百皮秒选取一个脉冲值进行故障注入,Polarfire FPGA 中 SET 脉冲传播极限如图 7 所示。为避免测量偏差,利用纳秒级脉冲进行补充修正。通过统计分析 SET 脉冲在逻辑长链中的传播极限^[24],得出:4LUT 的 SET 脉冲展宽因子 σ_1 约为 1.45 ps 每级;4LUT with carry chain SET 脉冲展宽因子 σ_2 约为 3.35 ps 每级 (± 0.1 ps 每级)。

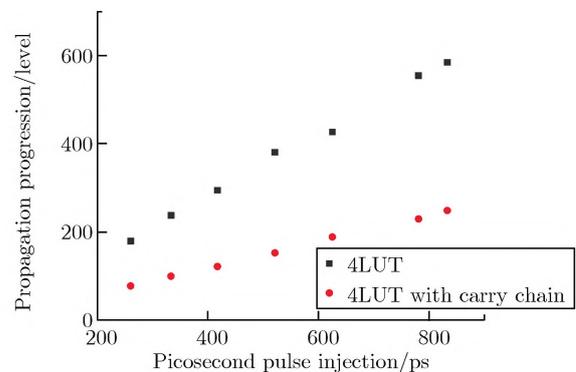


图 7 Polarfire FPGA 中 SET 脉冲传播极限

Fig. 7 SET pulse propagation limit in Polarfire FPGA

基于二者延时情况(如表 1 所列)及脉冲展宽压缩因子的差异,抽头延时脉冲宽度检测电路中的 SET 信号传输模块选取 4LUT。并且基于 SET 展宽因子,可对延时抽头脉冲宽度检测电路得到的每一个 SET 脉冲宽度检测值进行初步的补偿,得到偏差相对较小的 W_{ture} ,表示为

$$W_{\text{ture}} = W_{\text{pulse}} + \sum_{i=1}^n M_i \cdot \sigma_1 \quad (6)$$

其中, M_i 为 SET 脉冲信号的在长逻辑链中的传播级数,与 SET 在子电路中所处的位置有关。当 SET 脉冲宽度足够宽时,会横跨 n 个逻辑长链,此时 $n > 1$ 。

2.3 扇出负载特性

电路的扇出负载特性^[30-31]会影响 FPGA 逻辑门的驱动能力,直接影响到可变延时检测电路对 SET 脉冲的检测。为此需调节可变延时脉冲宽度检测电路的输出级数,通过可变延时脉冲宽度检测电路对 SET 脉冲宽度的检测阈值,分析扇出负载特性与可变延时检测电路的关系,如表 2 所列。

表 2 扇出负载特性与可变延时检测电路的关系

Tab. 2 Fan-out and detection threshold connection of variable temporal pulse-width detection circuit

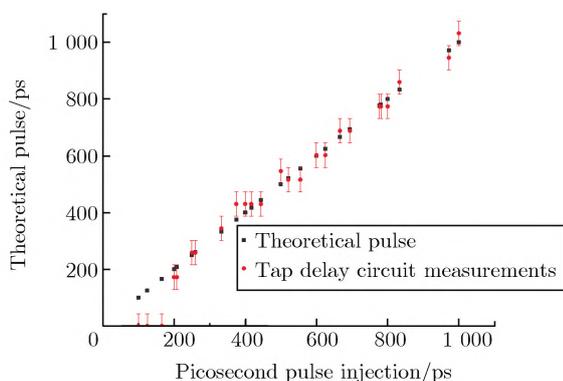
No.	1	2	3	4	5	6	7	8
Fan-out	1	4	5	6	8	12	16	32
Detection threshold /ps	86	86	344	344	344	344	344	860

由表 2 可知,随着扇出数目的增加,可变延时脉冲宽度检测电路的检测阈值不断升高;当可变延时检测电路满足对 1 ns 宽度的 SET 脉冲检测能力时(此时的输出级数为 12),对于 344 ps 以下的 SET 脉冲并无很好的检测能力;且随着扇出数目的变化,电路的检测阈值呈正相关变化趋势;当设置 3 或 4 级扇出时,可变延时脉冲宽度检测电路可实现对窄脉冲(<344 ps)的测量,但此时的可变延时脉冲宽度检测电路的上限会非常小,约为 344 ps;在实际的电路布局时,可变延时脉冲宽度检测电路资源占用会很小,优势非常明显。

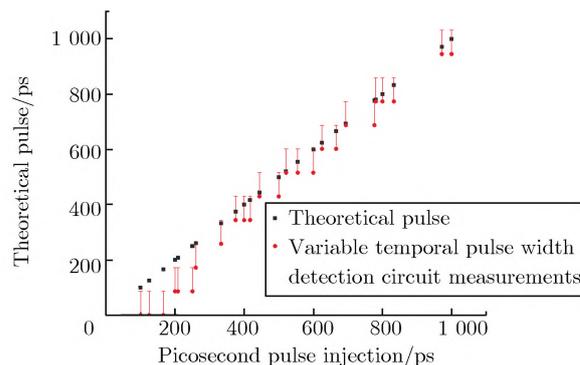
3 脉冲注入结果分析

在实际的 SET 检测电路功能指标的验证上,同样以单脉冲注入的方式,来分析检测电路对 SET 脉冲宽度的检测结果与功能指标。

两种脉冲宽度检测电路脉冲注入结果如图 8 所示。



(a) Tap delay circuit test results



(b) Variable temporal pulse-width detection circuit test results

图 8 两种脉冲宽度检测电路脉冲注入结果

Fig. 8 Pulse injection results of two pulse-width detection circuits

由图 8 可见,可变延时脉冲宽度检测电路与抽头延时脉冲宽度检测电路的分辨率基本保持一致,为 86 ps。但可变延时脉冲宽度检测电路无法很好地兼顾宽脉冲(>344 ps)与窄脉冲的测量。对窄脉冲而言,理论检测范围在 86~1 000 ps 的可变延时脉冲宽度检测电路对脉冲宽度小于 344 ps 的脉冲检测能力并不强,伴随有明显的偏差。

当两个 SET 脉冲宽度检测电路的检测范围处于 86~1 000 ps 时,可变延时脉冲宽度检测电路的测量阈值要比抽头延时脉冲宽度检测电路更大,即对于小于 344 ps 的 SET 脉冲而言,可变延时脉冲宽度检测电路并没有很好的检测能力。综和扇出负载对可变延时脉冲宽度检测电路的影响,因电路每一级检测模块均处于并行状态,一个 SET 脉冲信号遍历每一级检测模块,多个电路模块同时作为一个脉冲信号的输入负载,导致整个可变延时脉冲宽度检测电路无法兼顾窄脉冲与宽脉冲的检测。

对宽脉冲(>344 ps)检测而言,SET 脉冲展宽因子会影响到抽头延时脉冲宽度检测电路中捕获的 SET 脉冲宽度 W_{pulse} ,导致实际输出的 SET 脉冲宽度与在辐射环境条件下产生的 SET 脉冲宽度存在差异,且 σ_i 也会在一定程度上限制抽头延时脉冲宽度检测电路的长度以及采样频率。基于 SET 展宽因子,可对检测电路得到的每一个 SET 脉冲宽度检测值进行补偿,得到误差值相对小的 W_{true} 。

表 3 为两种脉冲宽度检测电路功能指标对比。在进行资源占用情况对比时,为便于直观,资源占用以 1 个 logic_cluster 为单位进行对比分析。由表 3 可知,可变延时脉冲宽度检测电路检测精度比抽头延时脉冲宽度检测电路低约 43 ps,检测阈值高约 200 ps,且存在有 1.4 ns 的死时间。

表 3 两种脉冲宽度检测电路功能指标对比

Tab. 3 Comparison of functional indicators of detection schemes

Plan	Resolution/ ps	Thresholds/ ps	Precision/ ps	Resource consumption /piece	Dead time/ ns
Tap delay pulse-width detection circuit	86	172	±43	20	0
Variable temporal pulse-width detection circuit	86	344	86	13	1.4

当两个检测电路的理论脉冲宽度检测范围为 86~1 000 ps 时,抽头延时脉冲宽度检测电路的逻辑资源占用约 20 个逻辑长链,而可变延时脉冲宽度检测电路资源占用 13 个逻辑长链(不包括复位时钟模块)。但当两种检测电路扩大电路检测范围时,可变延时脉冲宽度检测电路的资源占用增幅要比抽头延时脉冲宽度检测电路大。当可变延时脉冲宽度检测电路的检测上限上升至 1 376 ps 时,占用的 LC 数目将上升至 32 个,而抽头延时脉冲宽度检测电路的资源占用为 22 个。

4 结论

基于 Polarfire FPGA 布局特点对两种 SET 脉冲宽度检测电路进行设计,通过对比二者的技术指标得出,它们对 SET 脉冲检测的适用范围各有不同:对于脉冲宽度大于 344 ps 的 SET 脉冲,可选用抽头延时脉冲宽度检测电路进行检测,此时的抽头延时脉冲宽度检测电路在检测精度和测量阈值的优势非常明显,并且抽头延时脉冲宽度检测电路的输出结果可利用 SET 展宽因子对 SET 脉冲宽度进行补偿;但对于脉冲宽度小于 344 ps 的 SET 脉冲,可变延时脉冲宽度检测电路对 SET 脉冲的检测能力优于抽头延时脉冲宽度检测电路,此时可变延时脉冲宽度检测电路的资源占用以及检测阈值优势都非常明显。本文明确了在 FPGA 中集成 SET 脉冲宽度检测电路所需要考虑的 FPGA 自身的设计特点,需基于不同的 FPGA 设计结构对不同的 SET 脉冲宽度检测电路进行适应性结构调整。Polarfire FPGA 中的 SET 脉冲宽度检测电路设计思路,可为 SET 脉冲宽度检测电路在其他系列 FPGA 中的实现提供参考。

参考文献

[1] 陈伟,刘杰,马晓华,等. 纳米器件空间辐射效应机理和模拟试验技术研究进展[J]. 科学通报, 2018, 63(13): 1 211 - 1 222. (CHEN Wei, LIU Jie, MA Xiao-hua, et al. Research

progress of radiation effects mechanisms and experimental techniques in nano-devices [J]. Chinese Science Bulletin, 2018, 63(13): 1 211 - 1 222.)

[2] MAHATME N N. Comparison of combinational and sequential error rates and a low overhead technique for single event transient mitigation[D]. Nashville, USA: School of Vanderbilt University, 2011.

[3] MAHATME N N, JAGANNATHAN S, LOVELESS T D, et al. Comparison of combinational and sequential error rates for a deep submicron process [J]. IEEE Trans Nucl Sci, 2011, 58(6): 2 719 - 2 725.

[4] 赵元富,王亮,岳素格,等. 纳米级 CMOS 集成电路的单粒子效应及其加固技术[J]. 电子学报, 2018, 46(10): 2 511 - 2 518. (ZHAO Yuan-fu, WANG Liang, YUE Su-ge, et al. Single event effect and its hardening technique in nano-scale CMOS integrated circuits[J]. Acta Eelectronica Sinica, 2018, 46(10): 2 511 - 2 518)

[5] HOFBAUER M, SCHWEIGER K, DIETRICH H, et al. Pulse shape measurements by on-chip sense amplifiers of single event transients propagating through a 90 nm bulk CMOS inverter chain [J]. IEEE Trans Nucl Sci, 2012, 59(6): 2 778 - 2 784.

[6] LACOE R C. Improving integrated circuit performance through the application of hardness-by-design methodology [J]. IEEE Trans Nucl Sci, 2008, 55(4): 1 903 - 1 925.

[7] FERLET-CAVROIS V, MCMORROW D, KOBAYASHI D, et al. A new technique for SET pulse-width measurement in chains of inverters using pulsed laser irradiation [J]. IEEE Trans Nucl Sci, 2009, 56(4): 2 014 - 2 020.

[8] 沈磊,徐烈伟,赵凯. 22 nm FDSOI 工艺单粒子瞬态脉宽研究[J]. 电子技术, 2020, 49(2): 7 - 9. (SHEN Lei, XU Lie-wei, ZHAO Kai. Study on single event transient pulse width of 22 nm FDSOI process [J]. Electronic Technology, 2020, 49(2): 7 - 9.)

[9] 刘家齐,赵元富,王亮,等. 65 nm 反相器单粒子瞬态脉宽分布的多峰值现象[J]. 电子技术应用, 2017, 43(1): 20 - 23. (LIU Jia-qi, ZHAO Yuan-fu, WANG Liang, et al. The multi-peak phenomenon in 65 nm inverters single event transient pulse width distribution [J]. Application of Electronic Technique, 2017, 43(1): 20 - 23.)

[10] 张文静. 单粒子瞬态测试电路设计方法研究[D]. 西安: 西安电子科技大学, 2020. (ZHANG Wen-jing. Study on single event transient measurement circuit design method [D]. Xi'an: Xidian University, 2020.)

- [11] FERLET-CAVROIS V, PAILLET P, MCMORROW D, et al. Direct measurement of transient pulses induced by laser and heavy ion irradiation in deca-nanometer devices[J]. IEEE Trans Nucl Sci, 2005, 52(6): 2 104 - 2 113.
- [12] 刘健波, 刘远, 恩云飞, 等. 集成电路单粒子瞬态效应与测试方法[J]. 微电子学, 2014, 44(1): 135 - 140. (LIU Jian-bo, LIU Yuan, EN Yun-fei, et al. Single event transients in integrated circuits and test methods [J]. Microelectronics, 2014, 44(1): 135 - 140.)
- [13] LAWRENCE R K, ROSS J F, WOOD N E. 90 nm digital single event transient pulse-width measurements [C]// RadiationEffects Data Workshop. Denver, USA, 2010.
- [14] BENEDETTO J M, EATON P H, MAVIS D G, et al. Variation of digital SET pulse widths and the implications for single event hardening of advanced CMOS processes[J]. IEEE Trans Nucl Sci, 2005, 52(6): 2 114 - 2 119.
- [15] EATON P, BENEDETTO J, MAVIS D, et al. Single event transient pulsewidth measurements using a variable temporal latch technique [J]. IEEE Trans Nucl Sci, 2004, 51(6): 3 365 - 3 368.
- [16] HARADA R, MITSUYAMA Y, HASHIMOTO M, et al. Measurement circuits for acquiring SET pulse-width distribution with sub-FO1-inverter-delay resolution[C]//11th International Symposium on Quality Electronic Design (ISQED). San Jose, USA, 2010: 839 - 844.
- [17] GADLAGE M J, AHLBIN J R, NARASIMHAM B, et al. Increased single-event transient pulsewidths in a 90 nm bulk CMOS technology operating at elevated temperatures [J]. IEEE Trans Dev Mat Rel, 2009, 10(1): 157 - 163.
- [18] NARASIMHAM B, RAMACHANDRAN V, BHUVA B L, et al. On-chip characterization of single-event transient pulse-widths[J]. IEEE Transactions Dev Mat Rel, 2006, 6(4): 542 - 549.
- [19] 李赛, 陈睿, 韩建伟. 130 nm 体硅反相器链的单粒子瞬态脉冲特性研究 [J]. 北京航空航天大学学报, 2019, 45(6): 1 137 - 1 144. (LI Sai, CHEN Rui, HAN Jian-wei, et al. Single-event-transient pulse width characteristics of 130 nm bulk silicon inverter chain[J]. Journal of Beijing University of Aeronautics and Astronautics, 2019, 45(6): 1 137 - 1 144.)
- [20] REZZAK N, WANG J J, VARELA S, et al. Neutron and proton characterization of microsemi 28 nm polarfire SONOS-based FPGA [C]//2018 IEEE Radiation Effects Data Workshop (REDW). Waikoloa, USA, 2018.
- [21] KAWANO Y, TSUKITA Y, FURUTA J, et al. Measuring SER by neutron irradiation between volatile SRAM-based and nonvolatile flash-based FPGAs [C]//19th European Conference on Radiation and Its Effects on Components and Systems (RADECS), Montpellier, France, 2019.
- [22] CHEN H C, LI D D U. Multi-channel, low nonlinearity time-to-digital converters based on 20 and 28 nm FPGAs[J]. IEEE Trans Ind Electron, 2019, 66(4): 3 265 - 3 274.
- [23] 郭晓强, 曹良志, 陈伟. 130 nm Flash 型 FPGA 单粒子瞬态效应研究[C]//中国核科学技术进展报告(第六卷), 2019: 266 - 274. (GUO Xiao-qiang, CAO Liang-zhi, CHEN Wei. Study on single event transient effects of 130 nm Flash FPGA) [C]//Report on the Progress of Nuclear Science and Technology in China(6), 2019:266 - 274.)
- [24] 梁斌, 陈书明, 刘必慰, 等. SET 传播过程中的脉冲展宽效应 [J]. 半导体学报: 英文版, 2008, 29(9): 1 827 - 1 831. (LIANG Bin, CHEN Shu-ming, LIU Bi-wei, et al. Propagation induced pulse broadening of single event transient[J]. Journal of Semiconductor, 2008, 29(9): 1 827 - 1 831.)
- [25] REZGUI S, WANG J J, TUNG E C, et al. New methodologies for SET characterization and mitigation in flash-based FPGAs [J]. IEEE Trans Nucl Sci, 2007, 54(6): 2 512 - 2 524.
- [26] STERPONE L, BATTEZZATI N, KASTENSMIDT F L, et al. An analytical model of the propagation induced pulse broadening (PIPB) effects on single event transient in flash-based FPGAs[J]. IEEE Trans Nucl Sci, 2011, 58(5): 2 333 - 2 340.
- [27] 李同德, 赵元富, 王亮, 等. 28 nm 体硅工艺组合逻辑电路单粒子瞬态脉冲宽度研究 [J]. 现代应用物理, 2022, 13(1): 10604. (LI Tong-de, ZHAO Yuan-fu, WANG Liang, et al. Investigation of single event transient pulse width on 28 nm bulk CMOS combinational logic circuits[J]. Modern Applied Physics, 2022, 13(1): 10604.)
- [28] 张健. 纳米 CMOS 集成电路单粒子多瞬态效应研究[D]. 长沙: 国防科技大学, 2017. (ZHANG Jian. Single event multiple transient effect in nanometer CMOS integrated circuits [D]. Changsha: National University of Defense Technology, 2017.)
- [29] 黄鹏程. 纳米 CMOS 集成电路单粒子多瞬态效应及其抑制 [D]. 长沙: 国防科技大学, 2015. (HUANG Peng-cheng. Single event multiple transient effect and its mitigation in nanometer CMOS integrated circuits[D]. Changsha: National University of Defense Technology, 2015.)
- [30] 靳丽娜. 基于 SET 传播特性的软错误率研究[D]. 成都: 电子科技大学, 2015. (Jin Li-na. Soft error rate study based on SET propagation characteristic [D]. Chengdu: University of Electronic Science and Technology of China, 2015.)
- [31] 曹雪兵. 纳米集成电路软错误敏感性评估与缓解技术研究 [D]. 哈尔滨: 哈尔滨工业大学, 2019. (CAO Xue-bin. Research on soft error sensitivity evaluation and mitigation technology of nano integrated circuits [D]. Harbin: Harbin Institute of Technology, 2019.)